

PHÂN TÍCH VÀ THIẾT KẾ MẠCH SỐ TIÊU THỤ NĂNG LƯỢNG THẤP DỰA TRÊN CNTFET

Đỗ Phương Nhung¹, Phạm Trường Sinh²

*Tác giả liên hệ, email: dpnhung@hou.edu.vn. ORCID: 0009-0000-7809-6135

Ngày tòa soạn nhận được bài báo: 15/01/2026

Ngày phản biện đánh giá: 18/03/2026

Ngày bài báo được duyệt đăng: 14/04/2026

DOI: 10.59266/houjs.2026.1153

Tóm tắt: Cùng với sự phát triển mạnh mẽ của các hệ thống nhúng, Internet vạn vật (IoT), thiết bị điện tử y sinh..., đặt ra yêu cầu ngày càng khắt khe đối với các bo mạch số về mức tiêu thụ năng lượng, trong khi vẫn phải đảm bảo hiệu năng xử lý và độ tin cậy cao. Công nghệ bóng bán dẫn (transistor) dựa trên silic truyền thống (TTL, CMOS) đang dần tiếp cận các giới hạn vật lý khi tiếp tục thu nhỏ kích thước công nghệ, dẫn đến các vấn đề nghiêm trọng như dòng rò lớn, hiệu ứng kênh ngắn và suy giảm hiệu quả năng lượng. Trong bối cảnh đó, transistor hiệu ứng trường ống nano carbon (CNTFET) nổi lên như một giải pháp thay thế đầy triển vọng nhờ đặc tính vận chuyển điện tích gần như đạn đạo, điện áp ngưỡng có thể điều chỉnh và khả năng hoạt động hiệu quả ở điện áp thấp. Bài báo này trình bày một nghiên cứu toàn diện về cơ sở lý thuyết, phương pháp thiết kế và đánh giá hiệu năng các mạch số tiêu thụ năng lượng thấp dựa trên CNTFET. Các khối mạch cơ bản như Flip-Flop, các thanh ghi và bộ tính toán số học và logic (ALU) được thiết kế, mô phỏng và so sánh với các thiết kế tương đương sử dụng công nghệ CMOS. Các tiêu chí đánh giá bao gồm công suất trung bình, độ trễ lan truyền và tích công suất-độ trễ (PDP). Kết quả mô phỏng SPICE và Verilog-A cho thấy các mạch CNTFET có thể giảm từ 40-60% năng lượng tiêu thụ so với CMOS, trong khi độ trễ chỉ tăng nhẹ và vẫn nằm trong giới hạn cho phép đối với các ứng dụng nhúng và IoT.

Từ khóa: công nghệ bóng bán dẫn, mạch số năng lượng thấp, công nghệ CMOS, phân tử nhớ Flip-Flop, bộ tính toán số học và logic, Internet vạn vật

I. Đặt vấn đề

Mạch số đóng vai trò quan trọng, là nền tảng trong hầu hết các hệ thống điện tử hiện đại, từ vi xử lý hiệu năng cao, bộ nhớ bán dẫn, hệ thống điều khiển nhúng,

cho đến các nền tảng tính toán thông minh phục vụ trí tuệ nhân tạo và xử lý dữ liệu lớn. Ở cấp độ vi mô, mọi hệ thống tính toán đều được xây dựng từ các phân tử logic cơ bản như cổng logic, Flip-Flop, thanh ghi và

¹ Khoa Điện - Điện tử, Trường Đại học Mở Hà Nội, Hà Nội, Việt Nam

² Khoa Công nghệ thông tin và truyền thông, Trường Cao đẳng Điện tử - Điện lạnh Hà Nội, Hà Nội, Việt Nam

các khối xử lý số học, mà hiệu năng tổng thể phụ thuộc trực tiếp vào đặc tính chuyển mạch và tiêu thụ năng lượng của transistor cấu thành. Trong suốt gần 50 năm qua, công nghệ CMOS (Complementary Metal-Oxide-Semiconductor) dựa trên MOSFET silic đã duy trì vị thế chủ đạo nhờ khả năng tích hợp mật độ cao, tính tương thích quy trình chế tạo, độ ổn định lâu dài và công suất tĩnh thấp nhờ cấu trúc bổ sung giữa transistor PMOS và NMOS. Mặt khác, sự phát triển theo định luật Moore đã cho phép thu nhỏ kích thước transistor liên tục, kéo theo sự gia tăng mật độ tích hợp và giảm chi phí trên mỗi chức năng logic. Tuy nhiên, khi kích thước công nghệ tiến sâu vào vùng dưới 10 nm, các transistor silic truyền thống đang dần tiếp cận các giới hạn vật lý cơ bản. Hiệu ứng kênh ngắn (short-channel effects) trở nên nghiêm trọng do chiều dài kênh giảm, dẫn đến suy giảm khả năng điều khiển kênh của điện cực cổng. Dòng rò dưới ngưỡng (subthreshold leakage) và dòng rò xuyên hầm qua lớp oxit cổng gia tăng đáng kể, làm tăng công suất tĩnh và giảm hiệu quả năng lượng tổng thể (Farhani, 2025; Yen, 2020). Đồng thời, việc tiếp tục giảm điện áp nguồn (VDD) gặp nhiều trở ngại do giới hạn dốc dưới ngưỡng (subthreshold slope) của MOSFET silic, vốn bị chi phối bởi cơ chế phát xạ nhiệt theo phân bố Boltzmann, với giới hạn lý thuyết xấp xỉ 60 mV/decade ở nhiệt độ phòng (Sankar, 2025). Những yếu tố này không chỉ ảnh hưởng đến công suất tiêu thụ mà còn làm suy giảm tỷ lệ tín hiệu-nhiều, độ tin cậy và tuổi thọ thiết bị. Song song với những thách thức công nghệ đó, xu hướng phát triển của các hệ thống điện tử đang chuyển dịch mạnh mẽ sang các thiết bị tiêu thụ năng lượng siêu thấp như mạng cảm biến không dây, Internet vạn vật (IoT), thiết bị đeo thông minh và các hệ thống y

sinh cây ghép. Hầu hết, các ứng dụng này yêu cầu mạch số hoạt động ở mức công suất microwatt hoặc thậm chí nanowatt, đồng thời duy trì khả năng xử lý thời gian thực và độ ổn định lâu dài trong điều kiện nguồn năng lượng hạn chế. Trong bối cảnh đó, tối ưu hóa công suất động (dynamic power), công suất tĩnh (static power) và tích công suất-độ trễ (Power-Delay Product, PDP) trở thành mục tiêu thiết kế trung tâm. Công suất động là đại lượng tỷ lệ bậc hai với điện áp nguồn, cho nên, khi thu nhỏ kích thước thì công suất tĩnh ngày càng chiếm tỷ trọng lớn do dòng rò tăng cao. Điều này đặt ra nhu cầu cấp thiết đối với các công nghệ transistor mới có thể hoạt động hiệu quả ở điện áp thấp mà không làm suy giảm đáng kể tốc độ chuyển mạch.

Với các công nghệ triển vọng tiếp nối công nghệ CMOS (beyond-CMOS technologies) đang được nghiên cứu như TFET, FinFET cải tiến, các thiết bị dựa trên vật liệu hai chiều (2D materials), thì các transistor hiệu ứng trường ống nano carbon (Carbon Nanotube Field-Effect Transistor - CNTFET) được xem là một trong những ứng viên triển vọng nhất cho các mạch số thế hệ tiếp theo. Nhờ cấu trúc kênh dẫn một chiều (1D) với đường kính chỉ vài nanomet, CNTFET cho phép vận chuyển điện tích gần như đạn đạo (near-ballistic transport), giảm đáng kể tán xạ phonon và cải thiện độ linh động của hạt tải (Exploration, 2026; RamosSilva, 2020). Ngoài ra, điện áp ngưỡng của CNTFET có thể điều chỉnh thông qua đường kính ống nano xác định bởi chỉ số Chirality), giúp tối ưu hóa tích công suất-độ trễ (Power-Delay Product-PDP) (Khan, 2025; Ghabri, 2019) mang lại khả năng linh hoạt trong thiết kế mạch. Đặc tính dốc dưới ngưỡng tốt hơn và tỷ lệ dòng bật/tắt (I_{on}/I_{off}) cao

giúp CNTFET hoạt động hiệu quả ở điện áp thấp, từ đó giảm đáng kể công suất tiêu thụ mà vẫn duy trì hiệu năng chuyển mạch chấp nhận được.

Mặc dù các đặc tính ưu việt của CNTFET đã được khảo sát trong nhiều nghiên cứu trước đây, phần lớn các công bố thường tập trung vào phân tích thiết bị đơn lẻ (Ramos-Silva và cộng sự, 2020), các công logic rời rạc (Sankar và cộng sự, 2025) hoặc các bộ cộng đơn bit (Ghabri, 2019; Ghorbani, 2014). Một số nghiên cứu gần đây đã bắt đầu tích hợp AI vào thiết kế mạch (Khan, 2025) hoặc phát triển các cấu trúc bộ nhớ chuyên dụng như SRAM và DRAM ternary (A novel, 2021), (Sandhie, 2021). Tuy nhiên, hiện vẫn còn tồn tại một thách thức đáng kể trong việc đánh giá hệ thống và đồng bộ các khối mạch số phức tạp như Flip-Flop, thanh ghi và đơn vị số học - logic (ALU) trên cùng một tiến trình 32 nm CNTFET trong mối tương quan với công nghệ CMOS truyền thống (Exploration, 2026). Nhiều nghiên cứu chưa làm rõ được sự đánh đổi hiệu năng khi biến thiên đồng thời điện áp nguồn và tham số vật lý của ống nano trên các cấu trúc mạch lưu trữ và xử lý dữ liệu quy mô VLSI (Farhani, 2025).

Bài báo này hướng tới giải quyết vấn đề trên thông qua việc phân tích toàn diện và thiết kế các khối mạch số tiêu thụ năng lượng thấp dựa trên công nghệ CNTFET 32 nm. Đóng góp mới của nghiên cứu bao gồm: Một là thiết lập quy trình mô phỏng chuẩn hóa phối hợp giữa HSPICE và Python để đánh giá định lượng hiệu năng mạch số, đảm bảo tính tái lập của nghiên cứu. Hai là thực hiện so sánh đối chứng chi tiết giữa CNTFET và CMOS trên dải cấu trúc mạch từ tuần tự (Flip-Flop) đến tổ hợp (ALU) trong cùng điều kiện vận

hành. Ba là phân tích sâu ảnh hưởng của cấu trúc hình học ống nano đến sự tối ưu hóa PDP, từ đó định hướng ứng dụng cho các hệ thống Edge AI (Farhani, 2025) và thiết bị IoT thế hệ mới.

Các nội dung tiếp theo của bài báo được trình bày như sau: Phần 2 trình bày cơ sở lý thuyết và phương pháp mô phỏng; Phần 3 phân tích kết quả và thảo luận; Phần 4 đưa ra các kết luận và hướng phát triển tương lai.

II. Cơ sở lý thuyết

2.1. Tổng công suất tiêu thụ

Tổng công suất tiêu thụ P_{total} trong mạch số bao gồm công suất động P_{Dyn} và công suất rò P_{Leak} trong đó:

Công suất động của mạch số, được xác định xấp xỉ bởi biểu thức:

$$P_{dynamic} = \alpha \cdot C_L \cdot V_{DD}^2 \cdot f$$

Cụ thể, $P_{dynamic}$ là công suất tiêu thụ do quá trình nạp và xả điện dung tải khi tín hiệu logic chuyển trạng thái từ 0 → 1 hoặc 1 → 0. Hệ số hoạt động chuyển mạch (Switching Activity Factor) α , là xác suất trung bình một nút logic thực hiện chuyển mức 0→1 trong một chu kỳ xung nhịp. Điện dung tải hiệu dụng (Load Capacitance) C_L là tổng điện dung mà transistor phải nạp/xả khi chuyển mạch. Cuối cùng, f là tần số hoạt động của hệ thống. Điện áp cung cấp cho mạch logic V_{DD} . Qua biểu thức trên, ta thấy, công suất tỷ lệ bậc hai vào điện áp nguồn, cho nên, khi thu nhỏ kích thước thì công suất tĩnh ngày càng chiếm tỷ trọng lớn do dòng rò tăng cao.

Công suất rò của mạch số, được xác định bởi biểu thức:

$$P_{Leak} = I_{off} \cdot V_{DD}$$

Do cấu trúc kênh của CNTFET là 1 chiều nên I_{off} nhỏ hơn trong công nghệ CMOS.

2.2. Đặc tính của CNTFET

Điện áp ngưỡng phụ thuộc vào đường kính ống nano, được xác định bởi biểu thức:

$$V_{th} = \frac{a.V_{\pi}}{\sqrt{3}.q.D_{CNT}}$$

Trong đó:

V_{th} là điện áp ngưỡng của CNTFET (đơn vị: Volt, V), là điện áp cổng tối thiểu để transistor bắt đầu dẫn mạnh.

a là hằng số mạng của graphene ($\approx 0,249$ nm), biểu thị khoảng cách giữa các nguyên tử carbon trong cấu trúc tinh thể.

V_{π} là năng lượng liên kết π giữa các nguyên tử carbon (≈ 3 eV), đặc trưng cho tính chất điện tử của ống nano carbon.

$\sqrt{3}$ là hệ số hình học xuất phát từ cấu trúc lục giác của mạng graphene khi suy diễn sang ống nano.

q là điện tích electron cơ bản ($1,602 \times 10^{-19}$ C), dùng để chuyển đổi giữa năng lượng và điện áp.

D_{CNT} là đường kính ống nano carbon (đơn vị: nm), là tham số quyết định độ rộng vùng cấm và điện áp ngưỡng V_{th} tỉ lệ nghịch với D_{CNT} .

Công thức xác định đường kính ống Nano là (Với a xấp xỉ $0,249$ nm):

$$D_{CNT} = \frac{a\sqrt{n^2 + m^2 + nm}}{\pi}$$

III. Phương pháp nghiên cứu

Để nghiên cứu, đánh giá hiệu năng của mạch số, nhóm nghiên cứu sử dụng phương pháp sau: Đầu tiên sẽ phát biểu nội dung bài toán tại mục 3.1, sau đó sử dụng công cụ mô phỏng được trình bày ở

mục 3.2 để thu thập kết quả, phục vụ khảo sát, đánh giá hiệu năng của các công nghệ.

3.1. Bài toán

So sánh công nghệ CMOS 45 nm và công nghệ CNTFET theo các tiêu chí:

Công suất trung bình;

Độ trễ;

Năng lượng tiêu thụ PDP cho một lần chuyển mạch (một hoạt động logic) của mạch số;

Hiệu suất theo tần số.

Tham số đánh giá:

$$C_L = 5.10^{-15} \text{ F}$$

$$V_{DD} = 0,8 \text{ V}$$

$$\langle \rangle = 0,5$$

$$f = 10 \text{ MHz} - 1 \text{ GHz}$$

3.2. Các bước tiến hành

Thực hiện mô phỏng trên Python với các bước cụ thể như sau:

Bước 1: Khởi tạo môi trường và khai báo thư viện, khai báo:

Cấu hình thư viện Stanford CNTFET (Verilog-A)

Sử dụng các hàm: NumPy dùng để xử lý mảng số học, Pandas để tạo bảng dữ liệu kết quả, Matplotlib để vẽ đồ thị.

Bước 2: Thiết lập tham số

Điện dung tải C_L

Điện áp nguồn V_{DD}

Dòng rò I_{off}

Hệ số chuyển mạch α

Dải tần số khảo sát: từ 10 MHz đến 1 GHz

Bước 3: Mô phỏng

Thực hiện quét tham số (Parametric Sweep) đối với tần số f và điện áp V_{DD} để thu thập dữ liệu dòng điện và thời gian chuyển mạch.

Thực hiện tính các công suất Công suất động P_{dyn} , công suất rò P_{Leak} , công suất tổng: $P_{\text{Total}} = P_{\text{dyn}} + P_{\text{Leak}}$

Bước 4:

Tính PDP: $PDP = P_{\text{Total}} * t_{\text{delay}}$

Bước 5: Xác định kết quả

IV. Kết quả và thảo luận

Kết quả mô phỏng ở cấp transistor được mô tả tại bảng 1 cho thấy các khối mạch số dựa trên CNTFET đạt được mức cải thiện đáng kể về hiệu suất năng lượng so với công nghệ CMOS truyền thống trong cùng điều kiện tải và tần số hoạt động. Hiệu quả đạt được được đánh giá dựa trên ba chỉ tiêu chính: công suất tiêu thụ trung bình, độ trễ lan truyền và tích công suất-độ trễ (PDP).

Bảng 1: Các thông số kỹ thuật của công nghệ CMOS và công nghệ CNTFET

Tần số (MHz)	CMOS			CNTFET		
	P (μ W)	Delay (ns)	PDP(fJ)	P (μ W)	Delay (ns)	PDP(fJ)
10	0.016	1.82	29.1	0.016	1.15	18.4
100	0.128	1.82	42.6	0.128	1.15	27.5
500	0.640	1.82	113.5	0.640	1.15	73.6
1000	1.280	1.82	227.0	1.280	1.15	147.3

Trước hết, về công suất tiêu thụ, thành phần công suất động của mạch số cho phép giảm điện dung ký sinh do cấu trúc kênh dẫn một chiều và mật độ tích hợp thấp hơn của các lớp kim loại liên kết. Đồng thời, nhờ đặc tính vận chuyển điện tích gần như đạn đạo (quasi-ballistic transport), dòng dẫn đạt giá trị cao ngay cả khi điện áp nguồn thấp hơn CMOS. Mặt khác, khi điện áp nguồn giảm từ 0,9 V (CMOS) xuống 0,6 V (CNTFET), công suất động giảm theo bình phương điện áp, tức giảm xấp xỉ 55-60% nếu các tham số khác tương đương. Đây là nguyên nhân chính tạo nên mức tiết kiệm năng lượng quan sát được trong mô phỏng.

Thứ hai, khi kích thước công nghệ tiến sâu vào vùng nanomet thì công suất rò đóng vai trò ngày càng quan trọng. Trong công nghệ CMOS, hiệu ứng kênh ngắn làm gia tăng dòng rò dưới ngưỡng và dòng xuyên hầm qua lớp oxide cổng. CNTFET có độ dốc dưới ngưỡng nhỏ và điện áp ngưỡng có thể điều chỉnh thông

qua đường kính ống nano carbon, giúp kiểm soát dòng rò hiệu quả hơn. Kết quả mô phỏng cho thấy công suất rò của CNTFET thấp hơn khoảng 30-45% so với CMOS cùng kích thước kênh tương đương. Điều này đặc biệt quan trọng đối với các hệ thống hoạt động ở chế độ chờ dài như IoT hoặc thiết bị y sinh cấy ghép.

Thứ ba, về độ trễ lan truyền, mặc dù CNTFET hoạt động ở điện áp thấp hơn, nhưng nhờ hệ số truyền dẫn cao và điện trở kênh nhỏ, độ trễ chỉ tăng nhẹ hoặc gần như tương đương CMOS trong dải tần số khảo sát. Điều này cho thấy CNTFET đạt được sự cân bằng giữa tiết kiệm năng lượng và duy trì hiệu năng xử lý.

Ngoài ra, phân tích xu hướng theo tần số cho thấy khoảng cách tiết kiệm năng lượng giữa CNTFET và CMOS càng rõ rệt khi tần số tăng, do công suất động chiếm ưu thế trong tổng công suất. Điều này hàm ý CNTFET có lợi thế rõ ràng trong các hệ thống xử lý tốc độ trung bình nhưng yêu cầu năng lượng thấp.

IV. Kết luận

Kết quả thực nghiệm cho thấy CNTFET giảm thiểu PDP xấp xỉ 35% so với CMOS ở tần số cao. Nguyên nhân vật lý cốt lõi nằm ở khả năng vận chuyển điện tích tiệm cận đoạn đạo, giúp giảm điện trở kênh và tối ưu hóa dòng dẫn ngay cả ở điện áp thấp. Đồng thời, cấu trúc kênh dẫn 1D giúp CNTFET kiểm soát dòng rò tốt hơn, làm giảm công suất tĩnh từ 30-45%. Điều này đặc biệt có ý nghĩa đối với các thiết bị IoT yêu cầu thời gian chờ lâu dài. Tổng hợp các kết quả trên, có thể khẳng định CNTFET mang lại ba lợi ích cốt lõi: giảm điện áp hoạt động, giảm dòng rò và duy trì hiệu năng xử lý. Tuy nhiên, cũng cần lưu ý các thách thức như biến thiên công nghệ, khó khăn trong chế tạo hàng loạt và vấn đề căn chỉnh ống nano carbon. Những yếu tố này có thể ảnh hưởng đến tính đồng nhất tham số và độ tin cậy lâu dài. Nghiên cứu đã khẳng định tính ưu việt của CNTFET trong thiết kế mạch số năng lượng thấp với khả năng tối ưu hóa PDP vượt trội so với CMOS. Tuy nhiên, việc triển khai quy mô lớn vẫn đối mặt với thách thức về biến thiên tham số trong quá trình chế tạo ống nano. Hướng phát triển tiếp theo sẽ tập trung vào việc đánh giá độ tin cậy của các hệ thống VLSI phức tạp hơn trong điều kiện nhiễu môi trường.

Tài liệu tham khảo

- Farhani, S., & Wei, B. L. (2025). Carbon nanotube FET-enabled VLSI architecture for energy-efficient deep learning accelerators in edge AI systems. *Journal of Integrated VLSI, Embedded and Computing Technologies*, 3(1), 31-37. <https://doi.org/10.31838/JIVCT/03.01.05>
- Khan, I. A., Shah, O. A., Nandan, D., Rai, A., & Mahajan, A. (2025). Power efficient counter design using CNTFET with AI integration. *Recent Advances in Electrical & Electronic Engineering*, 18, Article 146649. <https://doi.org/10.2174/0123520965358804241209095031>
- Padala, J., Kamarajugadda, K., & Movva, P. (2026). Exploration of digital building blocks in 32 nm CNTFET technology for scalable VLSI applications. *Discover Electronics*. <https://doi.org/10.1007/s44291-026-00154-6>
- Abhay S. Vidhyadharan & Sanjay Vidhyadharan (2021). A novel ultra-low-power CNTFET and 45 nm CMOS based ternary SRAM. *Microelectronics Journal*, 111, 105033. <https://doi.org/10.1016/j.mejo.2021.105033>
- Ghabri, H., Ben Issa, D., & Samet, H. (2019). Performance optimization of 1-bit full adder cell based on CNTFET transistor. *Engineering, Technology & Applied Science Research*, 9(6), 4933-4936. <https://doi.org/10.48084/etasr.3156>
- Sankar, P. A. G., & Udhayakumar, K. (2025). MOSFET-like CNFET based logic gate library for low-power application: A comparative study. *Semiconductor Integrated Circuits*. <https://doi.org/10.1088/1674-4926/35/7/075001>
- Yen, P. (2020). A review of CNTFET technology over CMOS technology for low power applications. *International Journal of Sustainable Development in Computing Science*, 2(2), Article 26.
- Ghorbani, A., & Ghorbani, G. (2014). Energy efficient full adder cell design using CNTFET in 32 nanometer technology.
- Ramos-Silva, J. N., Pacheco-Sánchez, A., Enciso-Aguilar, M. A., & Ramírez-García, E. (2020). Small-signal parameters extraction and noise analysis of CNTFETs.
- Sandhie, Z. T., Ahmed, F. U., & Chowdhury, M. H. (2021). Design of novel 3T ternary DRAM with single word-line using CNTFET.

ENERGY-EFFICIENT DIGITAL CIRCUIT DESIGN BASED ON CNTFET TECHNOLOGY

Do Phuong Nhung¹, Pham Truong Sinh²

Abstract: *With the rapid development of embedded systems, the Internet of Things (IoT), and biomedical electronic devices, increasingly stringent requirements are being imposed on digital circuits in terms of energy consumption, while still ensuring high processing performance and reliability. Conventional silicon-based transistor technologies (TTL and CMOS) are gradually approaching their fundamental physical limits as device dimensions continue to scale down, leading to critical challenges such as increased leakage current, pronounced short-channel effects, and degraded energy efficiency. In this context, carbon nanotube field-effect transistors (CNTFETs) have emerged as a highly promising alternative technology due to their near-ballistic carrier transport characteristics, tunable threshold voltage, and efficient low-voltage operation capability. This paper presents a comprehensive study on the theoretical foundations, design methodologies, and performance evaluation of low-power digital circuits based on CNTFET technology. Fundamental building blocks, including flip-flops, registers, and arithmetic logic units (ALUs), are designed and simulated at the transistor level and systematically compared with equivalent CMOS-based implementations. The evaluation metrics include average power consumption, propagation delay, and power-delay product (PDP). SPICE and Verilog-A simulation results demonstrate that CNTFET-based circuits can achieve a 40-60% reduction in energy consumption compared to CMOS counterparts, while exhibiting only a slight increase in delay that remains within acceptable limits for embedded and IoT applications.*

Keywords: *transistor, low-power digital circuits, CMOS, flip-flop, ALU, IoT*

¹ Faculty of Electric and Electronic Engineering, Hanoi Open University, Hanoi, Vietnam

² College Electronics and Refrigeration, Hanoi, Vietnam