

VAI TRÒ CỦA HOẠT ĐỘNG KIỂM THỬ TRONG QUY TRÌNH THIẾT KẾ VÀ CHẾ TẠO IC BÁN DẪN

Nguyễn Thanh Xuân¹, Đào Xuân Phúc^{2*}

**Tác giả liên hệ, Email: phucdx@hou.edu.vn*

Ngày tòa soạn nhận được bài báo: 02/06/2025

Ngày phản biện đánh giá: 08/09/2025

Ngày bài báo được duyệt đăng: 15/10/2025

DOI: 10.59266/houjs.2025.738

Tóm tắt: Bài viết này trình bày một cách có hệ thống vai trò của kiểm thử trong việc đảm bảo chất lượng và độ tin cậy của các vi mạch bán dẫn (IC) trong quy trình sản xuất hiện đại. Bài viết tập trung vào các giai đoạn kiểm thử chủ chốt, công nghệ tiên tiến được ứng dụng, và những chiến lược tối ưu hóa nhằm giảm thiểu rủi ro lỗi sản phẩm. Đặc biệt, bài viết nêu bật mối liên hệ giữa kiểm thử và thiết kế IC, phân tích dữ liệu kiểm thử để cải tiến chất lượng sản phẩm, đồng thời chỉ ra hướng phát triển tương lai của kiểm thử dựa trên trí tuệ nhân tạo (AI) và kiểm thử tích hợp trên hệ thống.

Từ khóa: kiểm thử, chế tạo IC bán dẫn, thiết kế cho kiểm thử (DFT), kiểm thử độ tin cậy, trí tuệ nhân tạo trong kiểm thử IC

I. Đặt vấn đề

Chất lượng và độ tin cậy là hai yếu tố sống còn trong ngành công nghiệp bán dẫn, nơi một lỗi nhỏ trên chip cũng có thể dẫn đến thất bại toàn bộ hệ thống. Trong chuỗi giá trị của thiết kế và chế tạo IC, kiểm thử là một bước quan trọng không chỉ giúp phát hiện lỗi mà còn đóng vai trò phản hồi cho thiết kế và công nghệ sản xuất. Từ kiểm thử wafer, kiểm thử die, đến kiểm thử sau đóng gói, hoạt động này

được lặp lại với nhiều cấp độ phức tạp và yêu cầu độ chính xác cao.

II. Cơ sở lý thuyết

2.1. Kiểm thử ở mức wafer (Wafer Test)

Kiểm thử ở mức wafer là giai đoạn kiểm thử đầu tiên trong quy trình sản xuất vi mạch tích hợp (IC), được thực hiện ngay sau khi hoàn tất quá trình chế tạo wafer và trước khi tiến hành cắt (dicing) thành các die riêng lẻ. Mục tiêu chính của kiểm

¹ Trường Đại học Kỹ thuật – Hậu cần Công an Nhân dân

² Trường Đại học Mở Hà Nội

thử ở mức wafer là phát hiện sớm các die lỗi để loại bỏ trước khi đi vào các công đoạn tốn kém như đóng gói và kiểm thử cuối cùng, từ đó giúp tiết kiệm chi phí và nâng cao hiệu suất sản xuất. Quá trình này sử dụng các hệ thống kiểm thử tự động (ATE) kết hợp với probe card – một tấm tiếp xúc được thiết kế đặc biệt để kết nối tạm thời với các pad trên từng die nhằm truyền tín hiệu kiểm thử. Các thông số điện như điện áp ngưỡng, dòng rò, tốc độ chuyển mạch và chức năng logic cơ bản sẽ được đánh giá để xác định khả năng hoạt động của mỗi die. Dữ liệu thu được trong giai đoạn này thường được lưu trữ dưới dạng map dữ liệu lỗi (wafer map) để phục vụ cho quá trình phân loại và xử lý sau đó. Ngoài ra, xu hướng hiện nay còn tích hợp khả năng kiểm thử song song nhiều die để tăng thông lượng, đồng thời ứng dụng trí tuệ nhân tạo nhằm phân tích mẫu lỗi và cải tiến quy trình chế tạo. Như vậy, kiểm thử ở mức wafer không chỉ giúp phát hiện lỗi sớm mà còn là công cụ quan trọng hỗ trợ cải tiến chất lượng tổng thể của quy trình sản xuất chip bán dẫn.

2.2. Kiểm thử ở mức die và sau đóng gói (Final Test)

Kiểm thử ở mức die và sau đóng gói (Final Test) là giai đoạn kiểm thử toàn diện cuối cùng trong chuỗi quy trình sản xuất vì mạch tích hợp, đóng vai trò quan trọng trong việc đánh giá chất lượng thực tế của sản phẩm đã hoàn thiện. Sau khi các die vượt qua kiểm thử ở mức wafer và được đóng gói (packaged), mỗi chip sẽ được kiểm tra lại toàn bộ chức năng trong môi trường hoạt động thực tế, nhằm phát hiện các lỗi phát sinh do quy trình đóng

gói như hỏng chân kết nối, lỗi hàn hoặc ảnh hưởng từ vật liệu encapsulation. Quá trình này sử dụng thiết bị ATE kết hợp với load board và socket test chuyên dụng để gắn chip vào hệ thống kiểm thử. Các phép kiểm tra được thực hiện bao gồm: kiểm thử chức năng logic (Functional Test), kiểm thử thời gian đáp ứng và hiệu suất (Performance Test), kiểm thử giao tiếp I/O, kiểm thử tiêu thụ điện năng (IDDQ), và đôi khi là kiểm thử RF, analog nếu chip có tích hợp các khối tương tự hoặc truyền thông không dây.

Ngoài ra, kiểm thử môi trường như kiểm tra ở nhiệt độ cao/thấp, độ ẩm, rung động cũng được thực hiện trong một số trường hợp nhằm đánh giá khả năng hoạt động ổn định của sản phẩm trong các điều kiện vận hành khác nhau. Dữ liệu thu thập từ final test thường được dùng để phân loại sản phẩm theo mức hiệu năng (binning), từ đó định hướng sản phẩm cho các phân khúc thị trường khác nhau. Với sự phát triển của công nghệ bán dẫn hiện đại, Final Test còn được tích hợp với các kỹ thuật như adaptive test và data-driven test flow, giúp rút ngắn thời gian kiểm thử mà vẫn duy trì độ chính xác và độ bao phủ lỗi cao. Do đó, Final Test không chỉ là bước xác nhận chất lượng cuối cùng, mà còn là điểm kiểm soát chất lượng mang tính chiến lược trong toàn bộ chuỗi giá trị sản xuất chip bán dẫn.

2.3. Kiểm thử độ tin cậy (Reliability Test)

Kiểm thử độ tin cậy là một phần thiết yếu trong quy trình đánh giá chất lượng tổng thể của vi mạch tích hợp,

nhằm xác định khả năng duy trì hiệu suất và hoạt động ổn định của chip trong suốt vòng đời sử dụng thực tế. Khác với các bài kiểm thử chức năng hoặc điện đơn thuần, kiểm thử độ tin cậy tập trung vào việc mô phỏng các điều kiện khắc nghiệt như nhiệt độ cao, điện áp tăng cường, độ ẩm cao, và chu kỳ nhiệt để đánh giá mức độ suy giảm vật lý và lỗi tiềm ẩn bên trong chip theo thời gian. Một số phương pháp kiểm thử phổ biến bao gồm: Burn-in Test (duy trì hoạt động chip ở nhiệt độ cao trong thời gian dài để kích hoạt lỗi sớm), HTOL (High Temperature Operating Life), HAST (Highly Accelerated Stress Test), TC (Temperature Cycling) và ESD/LU (Electrostatic Discharge / Latch-up). Mỗi phương pháp được thiết kế để phát hiện các dạng lỗi khác nhau như hỏng vật liệu cách điện, nhiễu xuyên dẫn, mất kết nối hàn, hay lỗi do điện trường.

Dữ liệu thu được từ kiểm thử độ tin cậy không chỉ giúp dự báo tuổi thọ trung bình của sản phẩm (Mean Time To Failure - MTTF), mà còn là căn cứ để xác nhận tính tuân thủ với các tiêu chuẩn công nghiệp như JEDEC JESD22 hoặc MIL-STD-883. Trong môi trường sản xuất hàng loạt, các mẫu đại diện từ từng lô sản xuất sẽ được chọn ngẫu nhiên để thực hiện kiểm thử độ tin cậy nhằm đánh giá tính ổn định của toàn bộ quá trình chế tạo. Kết quả kiểm thử không đạt yêu cầu có thể dẫn đến việc phải dừng sản xuất, điều chỉnh thiết kế, hoặc cập nhật công đoạn công nghệ. Chính vì vậy, kiểm thử độ tin cậy không chỉ là thước đo kỹ thuật, mà còn là yếu tố quyết định đến danh tiếng thương hiệu và sự an tâm của khách hàng trong các lĩnh vực

đòi hỏi cao như ô tô, y tế, hàng không vũ trụ và thiết bị công nghiệp.

III. Phương pháp nghiên cứu

Trong ngành công nghiệp vi mạch hiện đại, mối liên hệ giữa quá trình kiểm thử (testing) và thiết kế IC (Integrated Circuit Design) không chỉ là tương tác kỹ thuật đơn thuần, mà còn là một mối quan hệ chặt chẽ mang tính hệ thống, quyết định đến chất lượng, chi phí và khả năng đưa sản phẩm ra thị trường nhanh chóng. Thiết kế IC không thể được xem là hoàn chỉnh nếu không tích hợp chiến lược kiểm thử ngay từ giai đoạn đầu tiên – nguyên lý được biết đến rộng rãi với tên gọi Design for Testability (DFT). DFT là quá trình chèn các cấu trúc hỗ trợ kiểm thử vào trong thiết kế mạch, chẳng hạn như scan chain, Built-In Self-Test (BIST), boundary scan hoặc các điểm chèn tín hiệu (test points) nhằm giúp quá trình kiểm thử sau này dễ dàng hơn, nhanh hơn và đạt được độ bao phủ lỗi cao hơn.

3.1. Chu trình RTL trong thiết kế và kiểm thử IC

Chu trình RTL (Register Transfer Level) là một giai đoạn then chốt trong thiết kế vi mạch số, nơi hoạt động của hệ thống được mô tả thông qua sự truyền dữ liệu giữa các thanh ghi dưới tác động của tín hiệu điều khiển. Ở mức này, thiết kế được biểu diễn bằng ngôn ngữ mô tả phần cứng (HDL) như Verilog hoặc VHDL, đóng vai trò cầu nối giữa đặc tả kiến trúc và quá trình tổng hợp logic. Nhờ đó, RTL cho phép các kỹ sư chuyển hóa ý tưởng thành mô hình có thể mô phỏng, kiểm chứng và tối ưu, bảo đảm rằng vi mạch

không chỉ đúng chức năng mà còn đạt hiệu năng, diện tích và công suất tiêu thụ hợp lý.

Trong kiểm thử, RTL là nền tảng để triển khai các kỹ thuật Design for Testability (DFT). Ngay từ giai đoạn này, các cấu trúc hỗ trợ kiểm thử như scan chain, Built-In Self-Test (BIST) hay boundary scan được tích hợp nhằm tăng khả năng quan sát và điều khiển, tạo điều kiện thuận lợi cho các bước kiểm thử wafer, die và final test. Đồng thời, RTL cho phép tiến hành mô phỏng và xác minh chức năng (functional verification), giúp phát hiện và loại bỏ lỗi logic ở giai đoạn sớm, tránh chi phí phát sinh ở các công đoạn chế tạo sau này. Dữ liệu phản hồi từ kiểm thử sản xuất cũng có thể được đưa trở lại giai đoạn RTL để tinh chỉnh thiết kế, từ đó nâng cao chất lượng và độ tin cậy của sản phẩm.

Có thể thấy, chu trình RTL không chỉ là một bước kỹ thuật trong thiết kế, mà còn là mắt xích chiến lược kết nối giữa thiết kế và kiểm thử. Việc chú trọng đúng mức tới RTL giúp tối ưu hóa toàn bộ chu trình phát triển IC, đồng thời bảo đảm khả năng cạnh tranh của sản phẩm bán dẫn trong thực tiễn sản xuất hiện đại.

3.2. Mối quan hệ hai chiều giữa thiết kế và kiểm thử IC

Mối liên hệ giữa kiểm thử và thiết kế IC thể hiện rõ ở cả hai chiều. Một mặt, quá trình thiết kế phải cung cấp khả năng quan sát (observability) và điều khiển (controllability) cho các khối logic bên trong, giúp quá trình kiểm thử có thể tiếp cận và đánh giá được trạng thái hoạt động

của hệ thống. Mặt khác, dữ liệu thu thập từ kiểm thử – đặc biệt là trong giai đoạn wafer test và final test – có thể được phản hồi lại cho đội ngũ thiết kế để cải tiến kiến trúc, tối ưu hiệu năng hoặc sửa các lỗi vi mô có tính chu kỳ. Đây là quá trình phản hồi thiết kế dựa trên kiểm thử (Test-driven Design Feedback), ngày càng phổ biến trong các hệ thống phát triển IC theo mô hình agile.

Ngoài ra, thiết kế IC hiện đại với cấu trúc ngày càng phức tạp, tích hợp hàng tỷ transistor, các khối xử lý số (digital), tương tự (analog), RF, và AI-on-chip đòi hỏi quy trình kiểm thử không những phải toàn diện mà còn mang tính chuyên biệt cho từng khối chức năng. Do đó, chiến lược thiết kế ban đầu cần xác định rõ các yêu cầu kiểm thử tương ứng, ví dụ như kiểm thử giao tiếp ngoại vi (I/O), kiểm thử công suất thấp (low-power test), hoặc kiểm thử chức năng trong điều kiện biên (corner cases). Những yêu cầu này sẽ định hướng kiến trúc vi mạch cũng như cách phân vùng khối IP (Intellectual Property), nhờ vậy giúp cân bằng giữa khả năng kiểm thử và hiệu quả sử dụng silicon.

Một khía cạnh đặc biệt quan trọng là mối liên hệ giữa kiểm thử và thiết kế trong các tiến trình công nghệ tiên tiến như FinFET, 3D-IC, hoặc chiplet. Ở đây, kiểm thử không chỉ đơn thuần kiểm tra logic chức năng mà còn đóng vai trò trong xác nhận liên kết giữa các lớp (inter-die test), khả năng hoạt động trong điều kiện không đồng nhất và xử lý các vấn đề tương tác vật lý. Thiết kế IC phải chủ động phối hợp với đội ngũ kiểm thử để xác định rõ vùng giới hạn, tín hiệu đo lường và các tham số quan trọng

cần kiểm tra nhằm đảm bảo độ tin cậy và chất lượng hệ thống tích hợp đa chiều.

IV. Kết quả nghiên cứu

Hoạt động kiểm thử không chỉ là công cụ phát hiện lỗi xác định và loại bỏ các lỗi thiết kế, lỗi sản xuất, các khiếm khuyết khác có thể ảnh hưởng đến chức năng của IC mà còn là trung tâm của chiến lược đảm bảo chất lượng đáp ứng các thông số kỹ thuật đã đề ra về hiệu suất, mức tiêu thụ điện năng và độ tin cậy của IC. Việc tích hợp kiểm thử sớm từ khâu thiết kế, tận dụng AI, và xây dựng quy trình kiểm thử linh hoạt sẽ giúp ngành công nghiệp bán dẫn đáp ứng yêu cầu ngày càng cao của thị trường toàn cầu.

Tài liệu tham khảo:

- [1]. Wang, L. T., Wu, C. W., & Wen, X. (2006). *VLSI Test Principles and Architectures: Design for Testability*. Morgan Kaufmann;
- [2]. Patel, R., et al. (2019). *AI-assisted Test Flow Optimization in Semiconductor Manufacturing*. IEEE Design & Test;
- [3]. Burns, M., & Roberts, G. W. (2001). *An Introduction to Mixed-Signal IC Test and Measurement*. Oxford University Press;
- [4]. [Kundu, S., & Chakrabarty, K. (2010). *Test data compression for VLSI testing: Survey and comparative study*. ACM Transactions on Design Automation of Electronic Systems.
- [5]. Li, X., Wang, Y., & Zhang, Q. (2021). Machine Learning Applications in Semiconductor Manufacturing Test and Yield Analysis. *IEEE Transactions on Semiconductor Manufacturing*, 34(2), 213–223.
- [6]. Abramovici, M., Breuer, M. A., & Friedman, A. D. (1990). *Digital Systems Testing and Testable Design*. IEEE Press.

THE ROLE OF TESTING IN THE DESIGN AND MANUFACTURING PROCESS OF SEMICONDUCTOR ICs

Nguyen Thanh Xuan³, Dao Xuan Phuc⁴

Abstract: *This article systematically presents the role of testing in ensuring the quality and reliability of semiconductor integrated circuits (ICs) in modern manufacturing processes. It focuses on key testing stages, the application of advanced technologies, and optimization strategies aimed at minimizing product failure risks. In particular, the article highlights the relationship between testing and IC design, analyzes test data to improve product quality, and outlines future development directions of testing based on artificial intelligence (AI) and system-level integrated testing.*

Keywords: *testing, Semiconductor IC manufacturing, design for Testability (DFT), reliability test, artificial Intelligence in IC testing*

³ Peoples police university of technology and logistics

⁴ Hanoi Open University